# 研究課題名

Cu(In,Ga)Se2多結晶薄膜の局所構造と太陽電池性能の相関

研究代表者名 立命館大学・理工学部・峯元高志

研究分担者名 東北大学·金属材料研究所·宇佐美徳隆

1. はじめに

太陽電池が21世紀を担うクリーンエネルギーとして期待されている。現状では、結晶シリコンが太陽電池 材料の主流である。一方、ガラス等の基板上に金属や半導体などの薄膜を堆積させた薄膜型太陽電池が、 低コスト・高効率な太陽電池として期待されている。中でもCu(In,Ga)Se2(CIGS)多結晶薄膜太陽電池 において20%を超える高い変換効率が報告されている。一方、達成可能変換効率の理論値は30%程度であ り、まだ伸び代がある。CIGSはCuInSe2(CIS)とCuGaSe2(CGS)の混晶である。InとGaの比を 制御することによって太陽電池の性能を大きく左右する物性値である禁制帯幅(Eg)をCISの1.0eVから CGSの1.7eVの範囲で制御できる。しかし、Egを自由に制御できるにもかかわらず、最高の変換効率が 得られているのはEg=1.15eV付近であり、これは理想のEgである1.4eVよりも小さい。この最適Eg付 近における高品質CIGS薄膜の成長が更なる高効率化に必須であり、最適Eg付近のCIGS薄膜の物性評 価が重要である。

## 2. 研究経過

理論上の最適 Eg 付近で変換効率が減少する原因の一つとして、Eg=1.15eV のときに結晶粒が数ミクロン 程度まで大きく成長し、Eg が大きくなるにつれて結晶粒が小さくなることが報告されている。これに加え て、Eg を大きくすることによって結晶粒界性格などの局所構造が変化し、結晶粒界における光生成キャリ アの再結合が顕著になるといった可能性もあるが、これは詳細に検討されていない。本研究では、この局 所構造と太陽電池の変換効率との相関を明らかにすることを目的とした。Ga 濃度(つまり Eg)の異なる CIGS 薄膜を蒸着法で成長させ、後方散乱電子回折(EBSD)を用いて結晶粒界性格を分析した。

## 3. 研究成果

図1に550<sup>°</sup>Cで成膜した CIGS 薄膜の表面及び断面 のSEM 像を示す。Ga 濃度が上昇するにつれて結晶 粒径が小さくなることが分かる。次に CIGS 表面を Br<sub>2</sub> 溶液で数百 nm エッチングし、表面を平坦化処 理したサンプルを EBSP で評価した結果を表1に示 す。最も対応格子密度が高い $\Sigma$ 3 粒界の割合を比較 すると、Ga/(In+Ga)=0.7 では大きく低下することが 分かった。

表1 Ga濃度違いの CIGS 薄膜の粒界性格割合

Ga/(In+Ga)	Σ3(%)	random (%)
0.0	33.7	49.4
0.3	39.8	50.4
0.7	13.7	69.5

### 4. まとめ

CIGS の Ga 濃度が結晶粒界性格に与える影響をみた。 Ga/(In+Ga)=0.7 のサンプルでは、結晶粒径の減少とΣ 3 粒界の顕著な減少が見られた。今後は、粒界性格割合 と太陽電池特性の相関について詳細に検討していく。



## 歪み Si/Si1-xCx ヘテロ構造の応力制御

## 研究代表者名 山梨大学大学院•医学工学総合研究部•有元圭介

## 研究分担者名 東北大学·金属材料研究所·宇佐美徳隆

### 1. はじめに

圧縮歪み Si/Si<sub>1</sub>-xC<sub>x</sub>ヘテロ構造は、従来素子の2倍の高正孔移動度が期待される半導体薄膜構造で ある。移動度を2倍に向上させることができれば、CMOS デバイスの動作周波数/消費電力比を4倍 に向上させることができ、大幅な高性能化・低消費電力化につながる。高移動度を実現するためには、 トランジスタのチャネルとなる表面 Si 層の格子歪み率を高める必要がある。

#### 2. 研究経過

本研究では、Si/Si1-xCx ヘテロ構造の結晶成長を行い、各層の結晶歪みの成長条件依存性を調べた。 結晶成長は、ガスソース分子線エピタキシー装置を用いて行った。原料ガス(ジシラン・トリメチル シラン)の流量と基板温度が Si1-xCx 層および表面 Si 層の格子歪みに及ぼす影響について調べた。前者 については X 線回折法、後者についてはラマン分光法を用い、それぞれの層の格子歪み量を測定した。

#### 3. 研究成果

ガス流量は、ジシラン=3.5 sccm、トリメチルシラン = 1.0 sccm およびジシラン=4.0 sccm、 トリメチルシラン = 1.0 sccm の2通りとした。前者の場合、基板温度 = 500℃では結晶欠陥の形 成が促進されず、歪み緩和が起きなかった。後者の場合、550℃でも歪み緩和が起きなかった。歪 み緩和が起きた試料に関して、図1に X 線回折逆格子マップを示す。前者の場合、525℃では試 料の上部では歪み緩和が起き始めている。550℃近辺で Si<sub>1×</sub>C<sub>x</sub>の歪み緩和がさらに進み、炭素組成 が 1.8%で完全に歪み緩和した Si<sub>1×</sub>C<sub>x</sub>層が形成された。より高温では、炭素組成の低下がみられた。こ れは、高温ではβ-SiC 相が形成され Si<sub>1×</sub>C<sub>x</sub>層の炭素が格子位置から抜けて行くためと考えられる。ジ シラン= 4.0 sccm、トリメチルシラン = 1.0 sccm の条件でも同様の温度依存性が見られたが、歪 み緩和が起きる温度は高温側にシフトした。これは、トリメチルシランの流量比が低い場合は歪 み緩和を誘起するための膜内応力が小さく、より高温での成長が必要になるためである。また、 ジシラン= 3.5 sccm、トリメチルシラン = 1.0 sccm、基板温度 = 550℃の条件で、結晶性を向上 させるため傾斜組成法を試みた(図1右上)。膜構造は最適化されていないため、歪み緩和は表面 に近い部位において起きている。しかし、この試料では表面 RMS ラフネスが 0.5 nm 以下と平坦 性が増しており、傾斜組成法の優位性を示唆する結果が得られた。





トリメチルシラン = 1.0 sccm の条件で成長した試料上にのみ 形成した。図2にラマン分光測定の結果を示す。表面 Si 層を堆積した試料(上部3スペクトル)において、いずれ も 526 cm<sup>-1</sup>付近に圧縮歪み Si の存在を示すピークが見ら れる。特に、550℃で成長した試料では圧縮歪み Si 由来の ピークが顕著である。ピーク位置から歪み量を算出する と、-0.7~-0.8%程度であった。これは、図1から見積 もられる Si1-xCx層の格子定数に整合した場合の Si の歪み率 と一致している。一方、Si1-xCx層中の Si-Si 結合に由来する と考えられる 520 cm<sup>-1</sup>付近のピークに注目すると、ジシラン = 3.5 sccm の試料では 4~5 cm<sup>-1</sup>程度の半値幅をもつピー クが見られるのに対し、ジシラン= 4.0 sccm の試料(下部 3スペクトル)では線幅が広がっていることが観察され る。この原因については現時点では不明であるが、Si1xCx 層中の結晶欠陥の分布状況が2つの試料グループ間で大きく 異なっていることが示唆される。

4. まとめ

ガスソース分子線エピタキシー法により Si/Si<sub>1</sub>xCx ヘテロ構造を形成し、各層の結晶歪みの成長条 件依存性を調べた。ガス流量(炭素組成)によって、高い炭素組成を維持しながら Si<sub>1</sub>xCx 層の歪み緩 和が促進される温度域が大きく異なること、およびその温度範囲が約 50℃程度と狭いことが明らかと なった。また、表面 Si 層の格子定数が面内に圧縮されていることが確認された。その歪み量は-0.7~-0.8%程度であった。理論計算によると、本研究で実現された圧縮格子歪みでも  $\Gamma$  点に近い領 域では有効質量の低減が期待できる。今後はより炭素組成が高い試料の形成に取り組み、より大 きな歪み量を実現する必要がある。また、組成傾斜法が表面平坦性の点で優位性をもつことが示 されたが、膜構造を最適化することにより応力に誘起される転位の分布状況を制御することが今 後の課題である。

# MBE 法による立方晶 InN の結晶成長と基礎物性評価

# 研究代表者名 埼玉大学・大学院理工学研究科・八木修平

# 研究分担者名 埼玉大学・大学院理工学研究科・折原操 東北大学・金属材料研究所・片山竜二

1. はじめに

AlN, GaN, InN およびこれらの混晶である窒化物半導体は直接遷移型であり、且つ広範なバンドギャップをカ バーするため、紫外から赤外までの発光デバイス材料や、高効率多接合タンデム太陽電池材料としての検討がなさ れている。これら窒化物半導体の結晶構造には、安定相として六方晶ウルツ鉱構造が、準安定相として立方晶閃亜 鉛鉱構造が存在するが、特に立方晶 InN はエピタキシーの制御が難しく高品質の結晶が得られにくかったこともあ り、その物性には未だ不明な点が多い。本研究では RF プラズマ分子線エピタキシー(RF-MBE)法により高品質な立 方晶 InN を作製し、特に光学的評価を通してその基礎物性を明らかにすることを目的とする。

### 2. 研究経過

試料は RF-MBE 法により MgO 基板上に作製した。Ga 源、In 源としてそれぞれ金属 Ga および金属 In を、N 源として № ガスをプラズマにより分解した原子状窒素を用いた。真空中で基板を熱クリーニングした後、下地となる GaN 中間層を基板温度 800°C で 500 nm 堆積し、その上に InN を基板温度 470°C で 350 nm 成長した。作製した立方晶 InN の構造評価は X 線回折測定により行った。また、東北大金属材料研究所電子材料物性学研究部門のフーリエ変換赤外分光(FT-IR)装置を用いて光学特性の評価を行った。

### 3. 研究成果

作製した InN 薄膜を X 線回折により評価した結果、立 方晶 InN(002)面からの強い回折ピークが観測された。プラ ズマ出力を 350W、GaN 中間層成長時の Ga フラックスを 9.0×10<sup>-5</sup> Pa、InN 成長時の In フラックスを 7.0×10<sup>-5</sup> Pa としたとき作製した立方晶 InN 薄膜の六方晶混入率は 4.4%となり、高品質な立方晶 InN を得る事が出来た。この 試料について FT-IR による赤外反射率測定を行った結果を 図 1 に示す。図中には比較のため GaN のみを堆積した試料 の測定結果も示してある。InN のスペクトル中には、467 cm<sup>-1</sup>に InN の TO フォノンの寄与とみられるピーク構造 と、高波数域にフォノン・プラズモン結合モードの寄与によ るプラズマ端付近の反射率増大が観測された。より詳細な



図1 立方晶 InN の赤外反射率スペクトル

フィッティングを行うことで、立方晶 InN 中の残留電子濃度や電子移動度の定量的な評価が可能である。

4. まとめ

RF-MBE 法を用いて MgO 基板上に立方晶 InN 薄膜の成長を行った。その結果、六方晶相混入率 4.4%の高品 質な立方晶 InN 薄膜が得られた。今後、赤外反射率スペクトルの定量的な解析により、電子濃度や電子移動度の評 価を進めていく。

### 研究課題名

Si(111)基板上への一軸歪み Ge チャネル形成と結晶性評価

## 研究代表者名

東京都市大学・総合研究所・ 澤 野 憲太 郎

### 研究分担者名

### 東京都市大学・総合研究所・ 星 裕介、久保 智史、榑林 徹、永倉 壮、山田 聡 東北大学・金属材料研究所・ 宇 佐 美 徳 隆

1. はじめに

Si-CMOS は微細化による性能向上に限界が訪れており、ゲルマニウム(Ge) チャネル CMOS が非常に 大きな注目を集めている。これは、Ge が電子、正孔ともに Si よりも大幅に移動度が高いことによる。Ge においては、従来 Si-MOS で用いられてきた(100)面方位基板ではなく、(111)基板を導入することで、より 高い電子移動度の実現が見込めることから、Si(111)基板上の Ge(111)チャネル形成を目指す。これまでに Ge(111)基板を用いたデバイスの報告はあるものの、集積化に重要となる Si 基板上 Ge 形成技術の開発はほ とんど進んでいない。これは、Si と Ge は格子不整合が大きいので、転位などの欠陥発生を抑制すること が困難であることが大きな要因である。また、Ge に結晶歪みを導入することで、より高い移動度を得るこ とが可能となり、歪み制御技術の開発も期待が寄せられている。本研究では、我々が提案したイオン注入 法を駆使することにより、高品質歪み Ge(111)膜の実現を目指す。

23 年度は、22 年度に進めた Si 基板上の SiGe 膜成長技術をもとにして、さらに絶縁膜上の Ge(111)膜 (Ge-on-Insulator, GOI) 形成に取り組んだ。GOI 構造は、SOI (Si-on-Insulator) と同様に低消費電力化に有 利であり、Ge チャネルの究極的な構造として期待が高いものの、結晶性の高品質な GOI はいまだ実現され ていない。今回我々は、高品質 Ge 膜の Si(111)基板上への結晶成長技術の開発、さらに張り合わせ法によ る、歪み制御 Ge(111)-on-Insulator 基板の形成を目指した。

2. 研究経過

これまでにイオン注入法を駆使した、Si(111)基板上への SiGe 膜の結晶成長について検討してきており、 低欠陥 SiGe バッファー層の成長条件を確立してきた。しかしながら、Ge 組成の向上、さらには Ge 膜を成 長させると、欠陥密度は増大してしまうことが分かった。そこで今回は、イオン注入法の類似手法である 低温法を改良した2段階成長法を用いることで、Ge 膜の低欠陥化を目指した。そのため、まずは低温成長 を得意と固体ソース MBE を中心として進めた。

作製した試料構造としては、Si(111)基板上に成長温度  $350 \sim 600 \degree$ で膜厚 30nm の低温成長 Ge 層(LT-Ge 層)を形成させた後、基板温度を上昇させ、 $800 \degree$ という高温にて、膜厚  $600nm \sim 1\mu m$  の Ge 層(HT-Ge 層)を成長させた。このように成長した Ge-on-Si(111)構造の各種結晶性評価を行った。さらに GOI 形成のため、この Ge 層を CMP により表面平坦化し、 $200 \sim 300nm$  の SiO<sub>2</sub> 膜を有する Si(111)基板と貼り合わせ、 $500 \degree$ で 2 時間熱処理することで接合強化した。これにより得られた Si/Ge/SiO<sub>2</sub>/Si 構造において、Ge 上の Si を、研磨と KOH による選択エッチングで除去し、最終的に Ge(111)/SiO<sub>2</sub>/Si (GOI) 構造を形成し、各種評価を行った。

#### 3. 研究成果

まず、作製した Ge-on-Si(111)構造について X 線回 折(XRD)測定を行い、ロッキングカーブから得られる Ge ピークの半値幅を求めた。また各試料の表面ラフ ネスを原子間力顕微鏡(AFM)で評価した。図1に半値 幅と RMS ラフネスのLT-Ge 層成長温度依存性を示す。 LT-Ge 層 600℃成長の場合、半値幅、RMS ラフネス共 に非常に大きいが、これは、LT-Ge 層成長時の3次元 的な成長により、大きなラフネスが発生したためであ る。LT-Ge 層成長温度を低下させることで、LT-Ge 層 の平坦性が向上し、HT-Ge 層のピーク半値幅、RMS ラフネスが共に減少している。これは、HT-Ge 層の結 晶性が大幅に向上していることを示している。図2に



LT-Ge 層 350℃成長、HT-Ge 層 1µm の試料の断面 TEM 像 を示す。Ge 層中に僅かに欠陥が見られるものの、傾斜組 成法など、他の手法で作製した Ge 薄膜と比較して非常に 欠陥密度の低い Ge(111)疑似基板が得られている。これら の結果より、2 段階成長法が、Ge(111)チャネルデバイス応 用に非常に有望であると言える。さらにこの Ge 膜は、Si 基板との熱膨張差に起因して、0.17%の引っ張り歪みが導 入されていることが分かった。この歪みはバンド構造を直 接遷移型に近づけることが分かっており、光デバイス応用 へ向けても有望な構造と言える。

この構造をもとに形成した、歪み GOI(111)基板の断面 TEM 像を図3に示す。 歪み Ge 層中に僅かに転位が見られ るものの、その密度は十分に小さく、また、歪み Ge 層と SiO<sub>2</sub> 膜の貼り合せ界面は急峻であり、高品質な歪み GOI(111)構造が形成できていることが分かった。図4に、 歪み GOI 構造の(333)XRDRSM の測定結果を示す。Ge 層 の回折ピークが明瞭に見られており、結晶性が良好であ ることが分かった。また、そのピーク位置から、Ge 層の 0.17%の引っ張り歪みが完全に維持されていることが分 かった。より詳細に Ge ピークを見ると (図 4 (b))、Qy の 値が小さい方向に沿ってピークがブロードになっている ことが分かる。これは、歪み Ge 層の膜厚が厚く、上部で 歪み緩和が生じていることを示唆している。したがって、 CMP により歪み Ge 層を薄膜化することで、深さ方向に 対して均一な歪みを有する歪み GOI(111)構造が作製でき ると考えられる。以上の結果は、本手法が高品質な歪み GOI(111)構造の作製に、非常に有望であることを示してい る。



図3 歪み Ge(111) on Insulator 構造 の断面 TEM 像



### 4.まとめ

低温成長層を導入した2段階成長法により、欠陥密度の非常に低い Ge(111)層を Si(111)基板上に成長する ことに成功した。さらに、張り合わせ法、選択エッチング法を駆使することで、歪み GOI 形成に成功した。 エピタキシャル成長中の欠陥低減化と最終工程の CMP による欠陥領域除去により、GOI 中の大幅な欠陥低 減を実現した。今後さらなる薄膜化を進める。また、GOI 中の引っ張り歪みは 0.17%であり、GOI 形成プ ロセス後まで保持されていることが示された。