

ヘテロ界面制御に向けた不均一核生成に関する実験的・理論的研究

徳島大・ソシオテクノサイエンス研究部 柳谷伸一郎
アンダルシア地球科学研究所 佐崎元、
東北大・金研 宇佐美德隆、中嶋一雄

1. はじめに

有機半導体デバイスの発展に伴って、有機半導体結晶性薄膜の育成がより重要となっている。有機半導体は、分子構造により性能のカスタマイズが可能であることや、製造コストが比較的安価に押さえられる利点があり、現在有機 EL、有機太陽電池、有機非線形光学材料などの研究が現在精力的に進められている。その反面、機械的な脆さのために、切断、加工等には向かず、デバイス作製のためにはヘテロエピタキシャル成長や基板上での結晶化を含めた自己組織化など、ボトムアップ型のデバイス作製技術が有力であり、その際に有機半導体/有機半導体、有機半導体/基板(電極、光学窓)等、ヘテロ界面の制御が非常に重要であると考えられる。本研究では、バルクヘテロ型有機太陽電池の応用を見据え、P3HT/PCBM 結晶膜が基板上に形成される様子のその場観察を行った。

2. 研究経過

バルクヘテロ型有機太陽電池は、p 型半導体である共役ポリマー（本研究では、poly(3-hexylthiophene) (P3HT)) と n 型のフラーレン誘導体(同、[6,6]-Phenyl C61-butyric acid methyl ester (PCBM))の溶液をスピコート法などで成膜する方法である。これらの膜が、電極となる導電性ガラス基板上でどのような界面を形成するかは、その光電変換により生成した電子の流れに影響を与え、イコール効率に大きな影響を与える。本研究では光学顕微鏡を用い、P3HT/ PCBM 結晶膜が成長する様子のその場観察をおこなった。また、成膜時における成長駆動力の効果に関する竹内らの報告(第 68 回応用物理学会学術講演会 5p-ZS-11)に関連して、P3HT/PCBM 膜の成長に及ぼす基板温度の効果について研究を行った。

成膜は、P3HT : PCBM を 1:1 の割合でジクロロベンゼンに溶かし、ガラス上に滴下した。液が蒸発し、膜ができていく様子を光学顕微鏡(Olympus IX71+共焦点ユニット FV300)を用いて観察した。また、基板温度は穴あきラバーヒーターを用いてコントロールし、室温~100±1℃の温度範囲で実験を行った。

3. 研究成果

図 1 にフィルターの有無による違いを示す。フィルターせずに基板上に滴下した場合であり、基板上に多くの結晶粒や溶け残りと思われるものが観察され、その上を液が乾燥していく様子が観察される。これに対して、フィルターした場合、ガラス上の粒はきれいになくなり、図 1 右でみられるように、膜(A)と溶液(C)の間に溶液中で核生成し、液の乾燥とともに直下に沈降する様子が観察された。一度フィルターをかけた溶液を室温で容器に 1 時間程度保管した後に滴下したところ粒が観察されたことと、X 線回折で粒がみられる膜全てで P3HT の回折ピークが観察されたことから、P3HT が溶液中で核生成したと考えられる。次に、ガラス基板の温度を変化させたときの膜成長に及ぼす効果を調べた。その結果を図 2 に示す。80℃では、図 1 における B 領域の境界が曖昧になり、100℃ではガラス直上で先に膜が成長していることが観察された。これは、膜の厚み方向の情報がわかる共焦点レーザー顕微鏡を使う利点の一つであると考えられる。

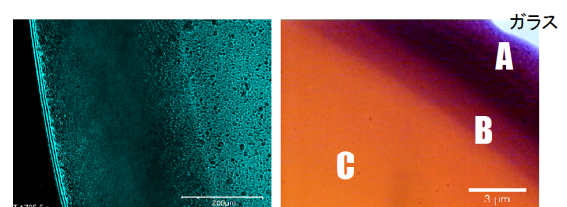


図 1 左:フィルターなし、共焦点レーザー顕微鏡像(反射、倒立、SLD 光源)、作製温度: 室温
右:フィルターされた溶液(径: 200μm)、実体顕微鏡像(透過、倒立、ハロゲンランプ)、作製温度: 60℃

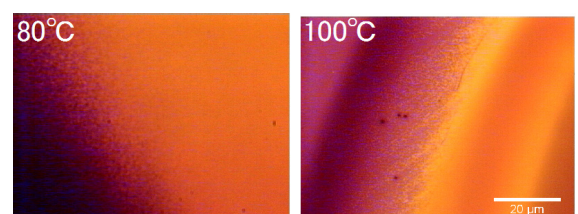


図 2 温度が異なるガラス上に成長する P3HT/PCBM 膜の様子。80℃では、図 1 における B 領域の境界が曖昧になり、100℃になると A・B 領域の境がなくなり、ガラス基板直上で優先的成長が起こる。

4. まとめ

本研究では、P3HT/PCBM のバルクヘテロ型有機薄膜の結晶成長・ガラス基板上への自己組織化をヘテロ界面制御の観点から、その場観察を中心に研究を行った。

P3HT/PCBM では、主に結晶成長とその結晶粒による自己組織化をその場観察することと、基板の温度によって、膜が優先的に成長する場所が異なることを明らかにした。実際の成膜に使われるスピコートでは、

液が非常に薄いことと、液が回転していないため実際に観察が困難であることを考えるとスピコートによる研究を補完する結果が得られたと考える。

1. 発表（投稿）論文

なし

V 溝基板上への歪み SiGe/Si ヘテロ構造の形成による電気伝導度の向上とそのメカニズムの解明

東北大・金 研

宇佐美徳隆、中嶋一雄

山梨大・大学院医工総合

有元圭介、中川清和

1. はじめに

集積回路を構成するトランジスタの性能向上と低消費電力化は、素子サイズの微細化によってもたらされてきた。しかしながら、素子の微細化は短チャネル効果を抑制するための工夫を必要とし、一般的にはチャネルへの不純物ドーピングが行われる。チャネル中の不純物はキャリア移動度の低下を招くため、特性向上は頭打ちとなってしまふ。以上の様な理由から、高移動度薄膜の開発という材料面からのアプローチを取らなければ、微細化というプロセス面の手法の限界を打ち破ることは出来ない。高移動度を得られる薄膜として、シリコン・ゲルマニウム (SiGe) 薄膜が挙げられる。SiGe 中では正孔の有効質量が小さいため、特に p 型デバイスにおいて Si より高い性能を期待できる。しかしながら、Si 基板上に直接高 Ge 組成の膜を成長すると、図 1 のように、三次元成長しやすいことや転位・積層欠陥・双晶といった欠陥の導入が問題となる。これらは膜中の応力に端を発する現象であると考えられ、Ge 組成が高い場合には極薄膜においても高い結晶性を得ることが難しいことを示している。今回我々は、Si 基板を V 溝状に加工した基板上に SiGe を成膜し、結晶性と電気伝導特性を調べた。V 溝基板上への成長では、応力に関する境界条件が平面基板上に成膜した場合とは異なる。高温で成長すれば SiGe 薄膜は表面拡散によって弾性エネルギーを最小化する形態に成長すると考えられ、欠陥密度の低い薄膜の形成が期待できる。

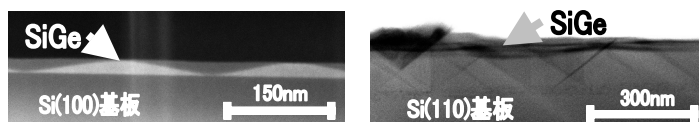


図 1 平面基板上に成長した SiGe

2. 研究経過

Si(110)基板を V 溝状に加工し、その上にガスソース分子線エピタキシー (GSMBE) 法によって SiGe の成長を行った。走査透過型電子顕微鏡によって成膜の状況と結晶性を、X 線回折測定によって組成と歪み率の測定を行った。また、p 型 MOSFET を作製し、電気伝導特性の評価を行った。

3. 研究成果

図 2 に試料の断面 STEM-HAADF 像を示す。結晶成長時の基板温度は 640°C であった。基板表面は(110)面で、図は $[\bar{1}10]$ 方向から観察したものである。V 溝の底部と上部の肩の部分に厚めに成長しており、その他の箇所では全体的に非常に薄い膜が成長している。図 1(右)の試料とほぼ同等の条件で (図 1(右)の試料は基板温度=650°C という条件で成膜された) 5 倍の時間をかけて成長したにもかかわらず、顕著な結晶欠陥は見られない。

図 3 に X 線回折測定の結果を示す。散乱面は $(\bar{1}10)$ 面で、図 2 の実空間の左右方向と図 3 の逆空間の左右方向が対応している。試料の膜厚分布から、この実験で観測されているのは主に V 溝の底部に成長した SiGe からの回折 X 線であると考えられる。SiGe からの回折 X 線は Si 基板の回折ピークの真下に分布しており、 $[001]$ 方向の格子定数が Si 基板と整合していることが分かった。同様に直交する散乱面を用いた測定も行ったが、やはり面内の格子定数が Si 基板と整合しており、マクロな歪み緩和は起こっていないことが分かった。このことは図 2 の STEM 像で結晶欠陥が観察されなかったことと一致する。見積もられた Ge 組成は 30% であった。試料の膜厚は歪みエネルギーが蓄積して図 1 に見られるような塑性変形が起こり得る値に達しているため、以上のことは V 溝基板を用いた場合に膜内応力が弾性的に開放されているためと考えられる。X 線では観測されていない小さな変形で

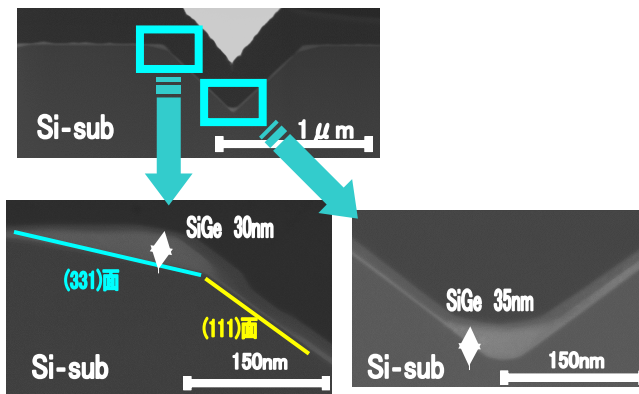


図 2 V 溝基板上に成長した SiGe

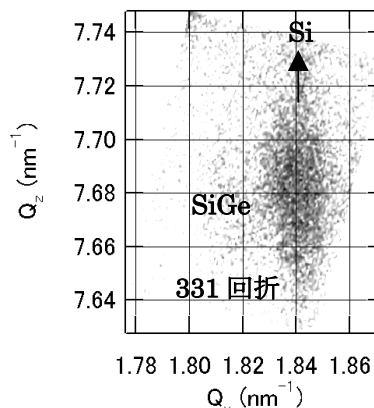


図 3 X 線回折逆格子マップ

応力が低減されていると考えられるが、詳細は検討中である。

図 4 に、V 溝基板上に成膜した SiGe と通常の n 型 Si 基板を用いて作製した MOSFET の電流・電圧特性を示す（以下、それぞれを SiGe-VMOSFET・Si-MOSFET と略す）。成膜時の条件は、成膜時間が 1/5 である他は図 2・3 の試料と同一である。縦軸のドレイン電流は素子の形状とサイズを考慮して規格化してある。ゲート電圧は、Si-MOSFET の場合 0～20V、SiGe-VMOSFET の場合 0～14V とした。これ以上の電圧を印加するとゲート酸化膜の電流リークにより半導体表面における縦電界が低下し、ドレイン電流が減少する傾向が見られた。2 つの試料の酸化膜は同条件で堆積した TEOS 酸化膜で、膜厚・誘電率はほぼ同等であると考えている。SiGe-VMOSFET のドレイン電流は Si-MOSFET のそれを大きく上回っている。線形領域のドレイン・コンダクタンスを比較すると、Si-MOSFET の約 2 倍の値が得られた（図 5）。MOSFET の特性向上に関して、電流と直行する方向の歪みを緩和して格子歪みを非対称にすることによる特性向上が報告されているが、今回作製した試料では歪みの非対称性を示す積極的なデータは得られていない。有効質量が小さい歪み SiGe の薄膜を、欠陥を殆んど導入することなく形成できたことがコンダクタンスの向上に結びついたと考えられる。

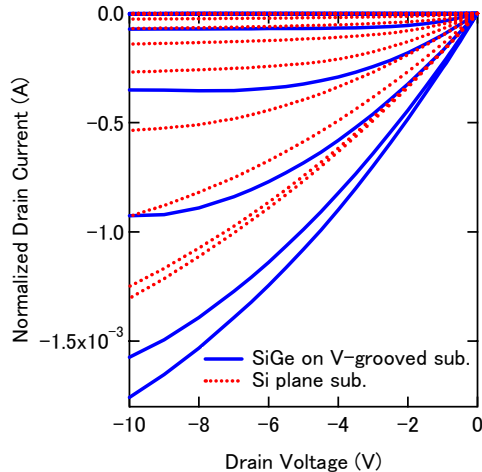


図 4 MOSFET の IV 特性

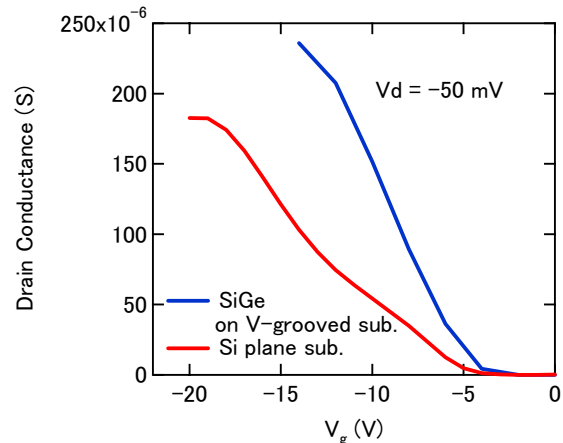


図 5 ドレイン・コンダクタンス

4. ま と め

V 溝状に加工された Si(110)基板上に成膜した SiGe 薄膜は、平坦基板上に成長した場合と比較して欠陥の導入が起こりにくくなり、膜厚を増しても良好な結晶が得られることが分かった。両者の違いは、膜内応力分布の違いに起因している。また、得られた薄膜を用いて p 型 MOSFET を作製し、平坦な Si 基板を用いた場合と比較して約 2 倍のドレイン・コンダクタンスを得ることができた。有効質量が小さいという SiGe の利点を生かすためには欠陥の導入を排除することが必要であり、V 溝基板を用いる方法は有望である。

5. 発表（投稿）論文

“Structural and transport properties of strained Ge and SiGe grown on patterned substrates”

G. Kawaguchi, K. Shimizu, K. Arimoto, M. Watanabe, K. Nakagawa, J. Yamanaka, N. Usami, K. Nakajima, K. Sawano and Y. Shiraki

J. Cryst. Growth (Proceedings of The 4-th Asian Conference on Crystal Growth and Crystal Technology), to be submitted.